Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе № 6**

Дисциплина: Языки описания аппаратных средств вычислительных систем.

Выполнил студент гр. 5130901/10101 \_\_\_\_\_\_\_\_\_\_\_\_\_\_ М.Т. Непомнящий

(подпись)

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.А. Федотов

(подпись)

Санкт-Петербург

2023

Оглавление

[1. Задание lab6\_1 3](#_Toc148521088)

[1.1. Задача 3](#_Toc148521089)

[1.2. Решение 3](#_Toc148521090)

[1.3. Моделирование 4](#_Toc148521091)

[1.4. Вывод 4](#_Toc148521092)

[2. Задание lab6\_2 5](#_Toc148521093)

[2.1. Задача 5](#_Toc148521094)

[2.2. Решение 5](#_Toc148521095)

[2.3. Моделирование 6](#_Toc148521096)

[2.4. Вывод 6](#_Toc148521097)

[3. Задание lab6\_3 7](#_Toc148521098)

[3.1. Задача 7](#_Toc148521099)

[3.2. Решение 7](#_Toc148521100)

[3.3. Моделирование 9](#_Toc148521101)

[3.4. Моделирование на ПЛИС 9](#_Toc148521102)

[3.5. Вывод 10](#_Toc148521103)

[4. Задание lab6\_4 11](#_Toc148521104)

[4.1. Задача 11](#_Toc148521105)

[4.2. Решение 11](#_Toc148521106)

[4.3. Моделирование 13](#_Toc148521107)

[4.4. Сравнение быстродействия 14](#_Toc148521108)

[4.5. Вывод 15](#_Toc148521109)

# Задание lab6\_1

## Задача

На языке Verilog, создайте параметризированное описание устройства сортировки двух чисел, используя созданную задачу для сортировки двух чисел.

Задачу следует реализовывать как комбинационную схему, используя блокирующие назначения.

*Параметры:*

* W – разрядность входных данных (20 в соответствии с вариантом).

*Входы данных:*

* [W-1:0] a – первое число.
* [W-1:0] b – второе число.

*Выходы:*

* [W-1:0] min – минимальное число из a и b.
* [W-1:0] max – максимальное число из a и b.

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 1.1.

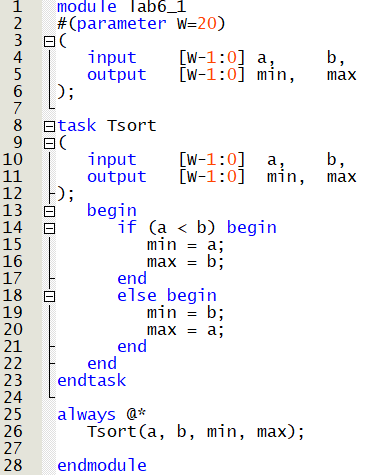


Рис. 1.1. Описание на языке Verilog.

Таким образом мы получили Task с двумя входами и выходами, на которых образуются минимальное и максимальное из введенных чисел, в соответствии с заданием.

После успешной компиляции воспользуемся приложением RTL Viewer, полученная схема приведена на Рис. 1.2.

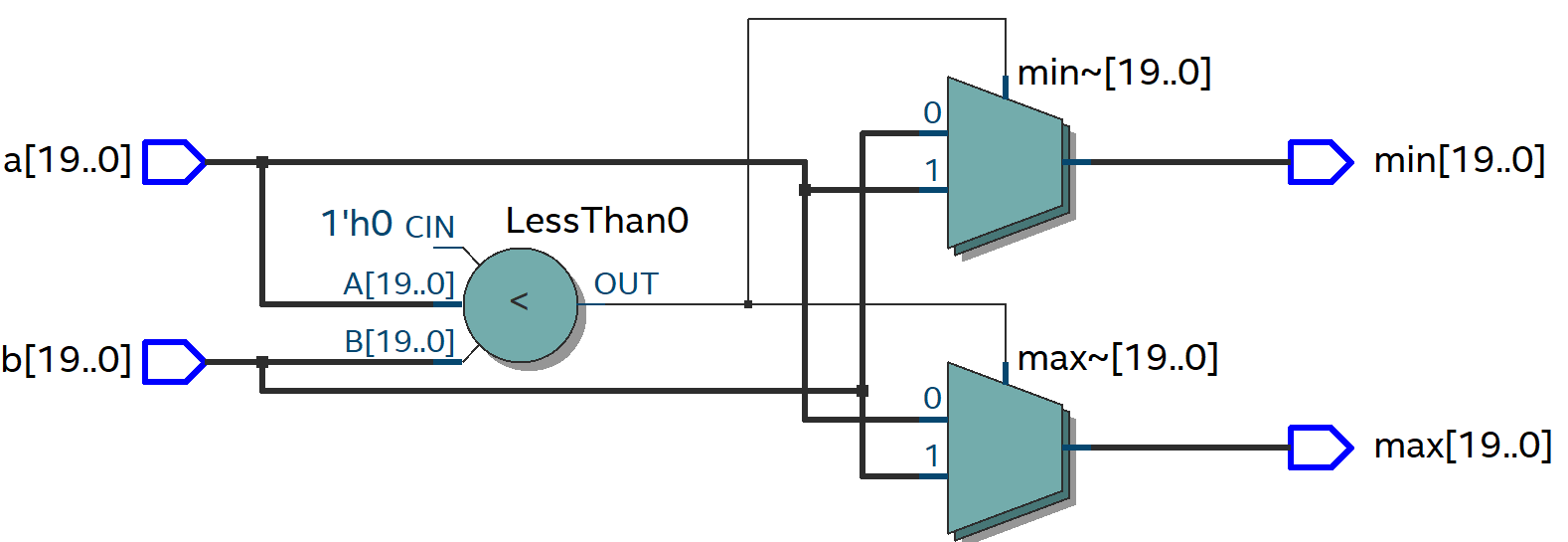


Рис. 1.2. Схема в RTL Viewer.

## Моделирование

Выполним моделирование устройства, разработанного в [пункте 1.2.](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Решение:) *В результате функционального моделирования получены Waveform, приведенные на Рис. 1.3.*

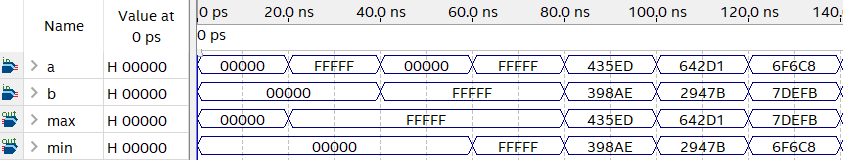


Рис. 1.3. Результат моделирования средствами QP.

Как видно, задача работает корректно как на крайних значениях, так и при совершенно случайных.

## Вывод

В процессе выполнения лабораторной работы "lab6\_1" приобретены навыки разработки задач на языке Verilog, что существенно улучшает эффективность разработки, особенно в случае повторяющихся кодовых блоков. Результаты тестирования подтверждают надежную и корректную работу разработанного устройства, поскольку оно выполняет заявленные функции и возвращает ожидаемые результаты в каждом из тестов.

# Задание lab6\_2

## Задача

На языке Verilog создайте параметризированное описание устройства сортировки двух чисел, используя созданные функции Fmin и Fmax.

*Параметры:*

* W – разрядность входных данных (20 в соответствии с вариантом).

*Входы данных:*

* [W-1:0] a – первое число.
* [W-1:0] b – второе число.

*Выходы:*

* [W-1:0] Fmin – минимальное число из a и b.
* [W-1:0] Fmax – максимальное число из a и b.

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 2.1.

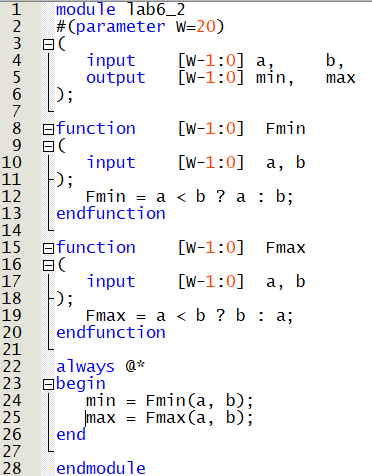


Рис. 2.1. Описание на языке Verilog.

После успешной компиляции воспользуемся средствами RTL Viewer, полученная схема приведена на Рис. 2.2:

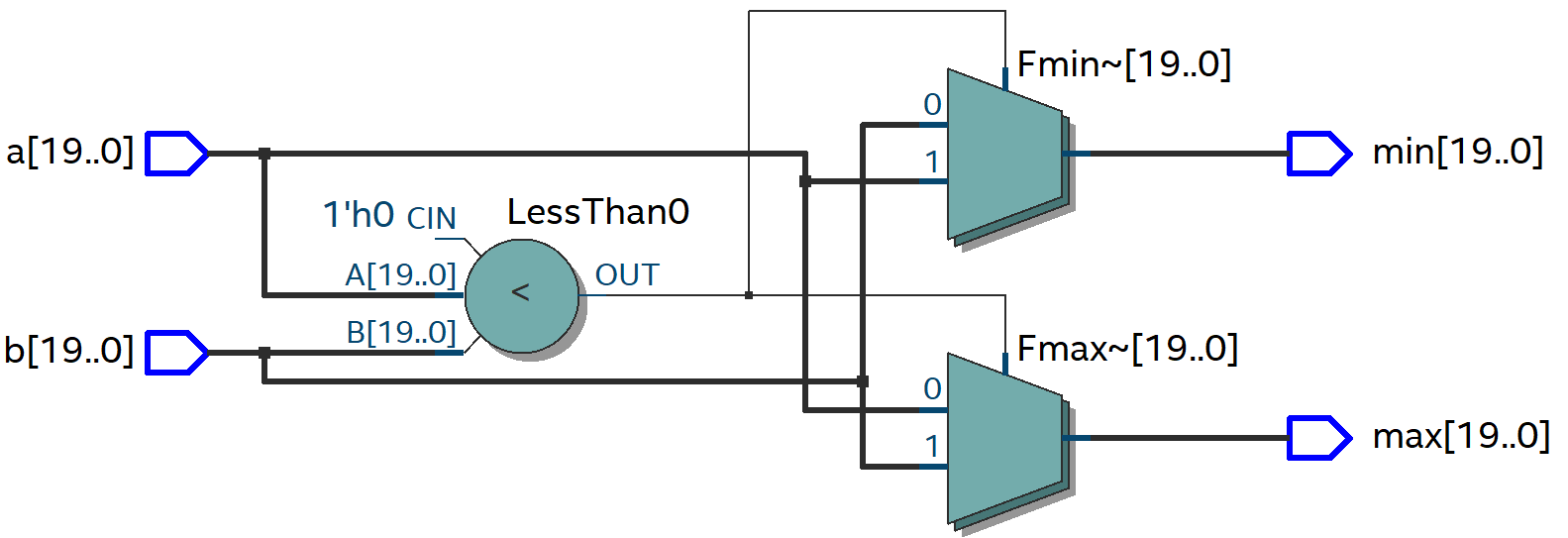


Рис. 2.2. Синтезированная схема.

## Моделирование

Выполним моделирование устройства, разработанного в [пункте 2.2](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Решение:_1). В результате функционального моделирования получены Waveform, приведенные на Рис. 2.3:

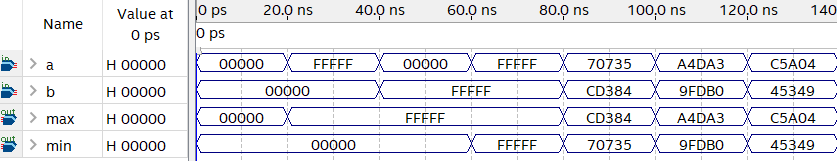


Рис .3. Результат моделирования средствами QP.

Как видно, тесты показывают, что устройство работает корректно, при минимальных числах, максимальных числах и совершенно случайных.

## Вывод

В ходе выполнения лабораторной работы lab6\_2 были получены навыки по разработке функций на языке System Verilog, как видно это сильно упрощает разработку, а также использование написанного кода. Такой подход лучше, чем реализация через схему по нескольким причинам:

1. Читаемость: Код на Verilog более читаем и понятен, чем создание схемы через графический интерфейс, что облегчает отладку и поддержку.
2. Гибкость: При необходимости можно легко добавить дополнительные параметры или функциональность, что затруднительно при использовании схем в Квартусе.
3. Модульность: Этот метод способствует созданию модульных устройств, которые можно легко интегрировать в более сложные проекты.

Таким образом, использование параметризированного описания на языке Verilog предоставляет гораздо большую гибкость и удобство по сравнению с реализацией через схему в Квартусе.

# Задание lab6\_3

## Задача

На языке Verilog, создать параметризированное устройство для сортировки четырех чисел с использованием модулей, описанных в [lab6\_1](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Задание_lab6_1:) и [lab6\_2](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Задание_lab6_2:).

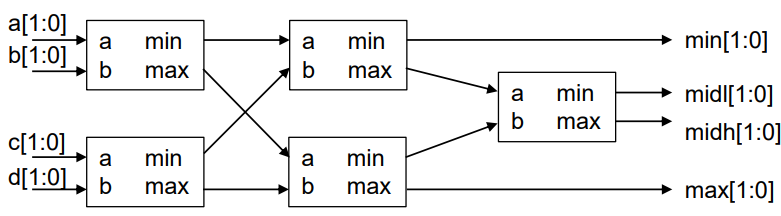


Рис. 3.1. Структура устройства.

Параметры:

* W – разрядность входных данных (20 для моделирования, 2 для тестирования на ПЛИС).
* TYPE – тип min, max и какой лабы (для моего варианта lab6\_2).

*Входы данных:*

* clk – вход тактового сигнала.
* rst – синхронный сброс.
* [W-1:0] a – первый элемент списка.
* [W-1:0] b – второй элемент списка.
* [W-1:0] c – третий элемент списка.
* [W-1:0] d – четвертый элемент списка.

*Выходы:*

* [W-1:0] min – минимальный элемент списка.
* [W-1:0] midl – минимальный из средних элемент списка.
* [W-1:0] midh – максимальный из средних элемент списка.
* [W-1:0] max – максимальный элемент списка.

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 3.2 – 3.4.

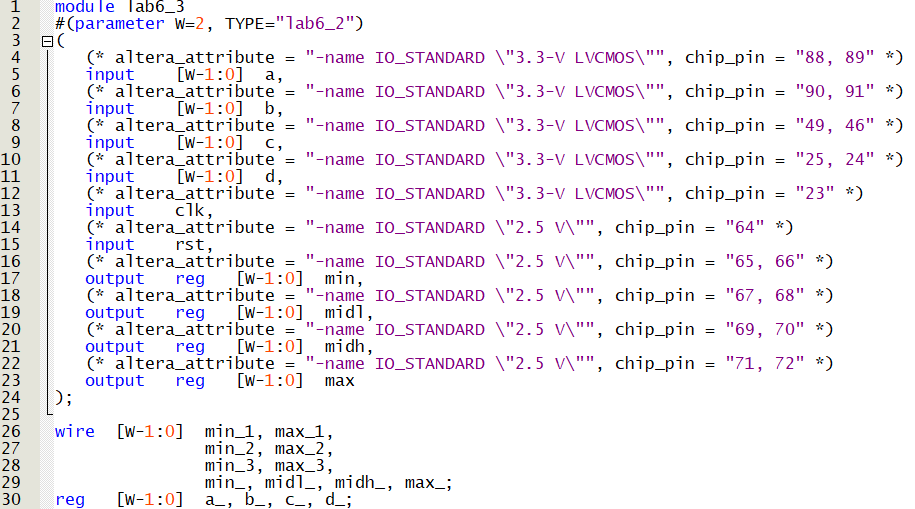


Рис. 3.2. Задание входных параметров и переменных на языке Verilog

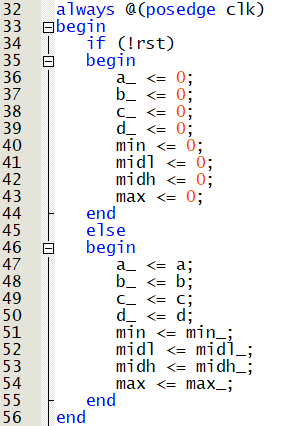


Рис. 3.3. Задание буферных регистров для входов и выходов на языке Verilog.

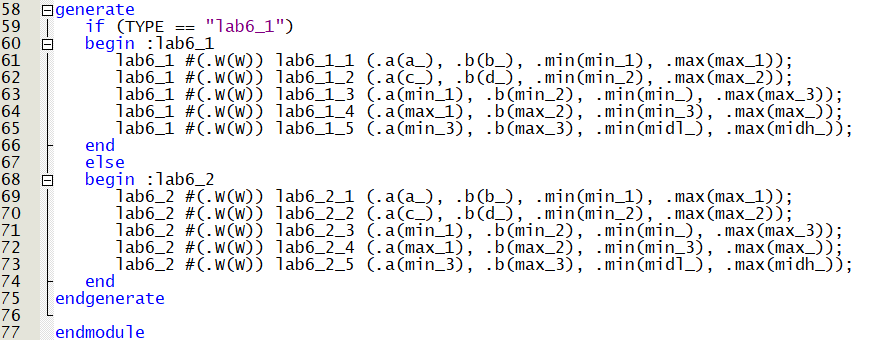


Рис. 3.4. Генератор и логика приложения на языке Verilog

После успешной компиляции воспользуемся приложением RTL Viewer, полученная схема приведена на Рис. 3.5. и Рис. 3.6.

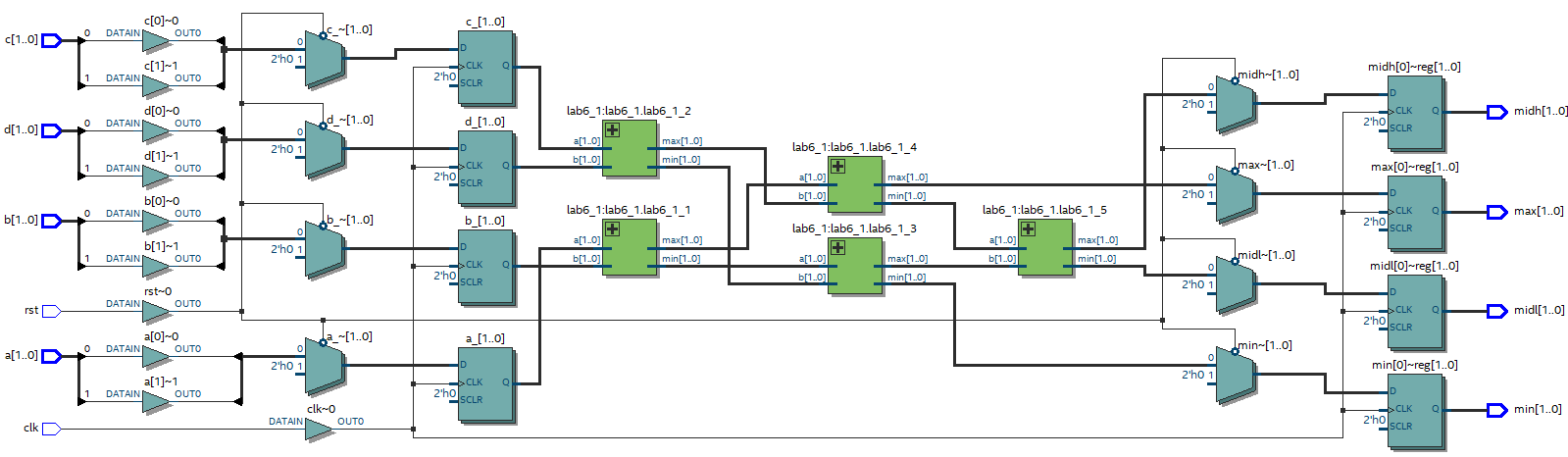


Рис. 3.5. Синтезированная схема, TYPE=lab6\_1.

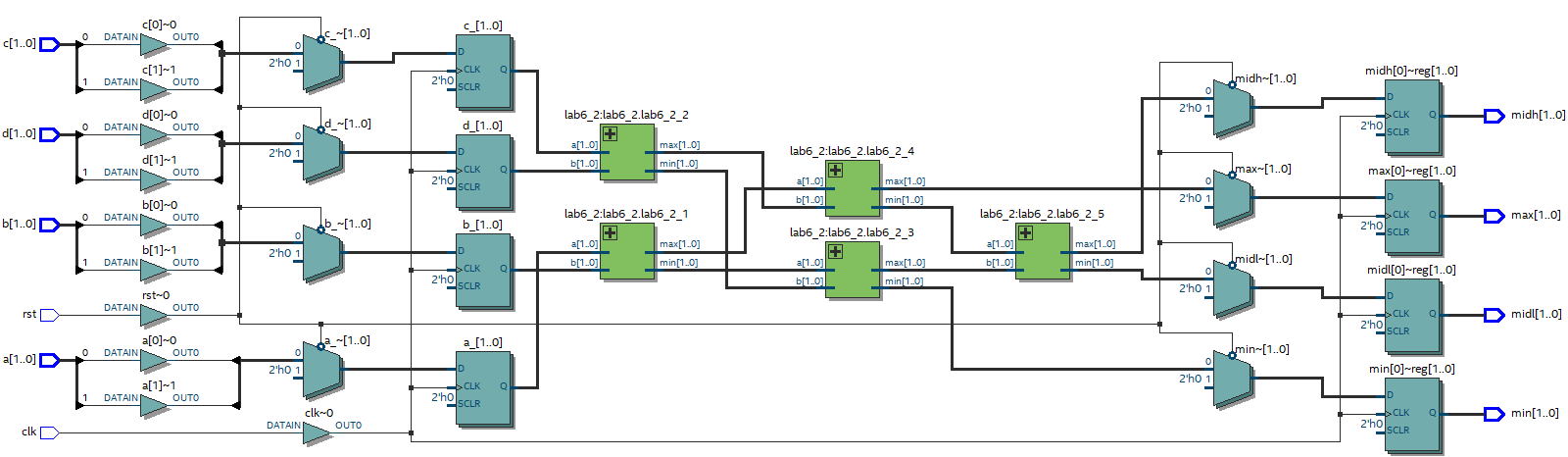


Рис. 3.6. Синтезированная схема, TYPE=lab6\_2.

## Моделирование

Выполним моделирование устройства, разработанного в [пункте 3.2](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Решение:_2). c значением W в соответствии с вариантом (W = 20, TYPE=lab6\_2).

В результате функционального моделирования получены Waveform, приведенные на Рис. 3.7.

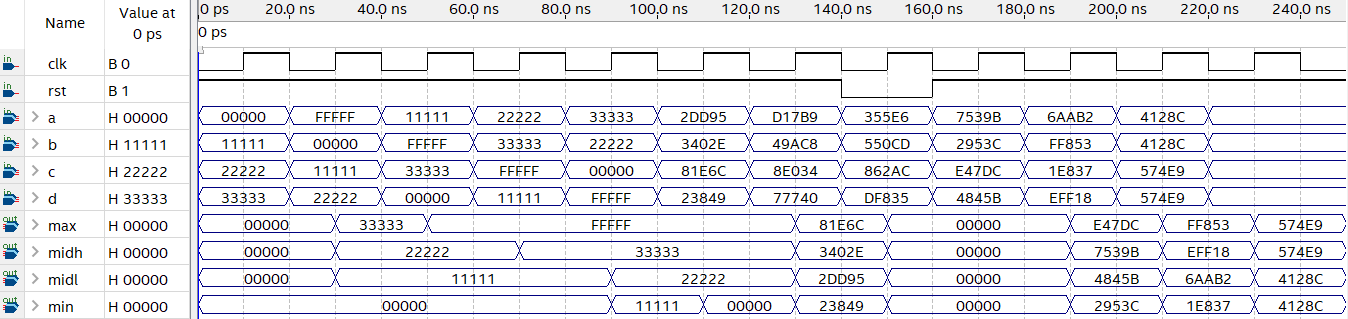


Рис. 3.7. Результат моделирования средствами QP

По Рис. 3.7., видно, что устройство работает корректно при минимальных значениях, максимальных и случайных, а также при частично одинаковых значениях.

На выходе получаются те значения, которые и ожидались.

## Моделирование на ПЛИС

Для тестирования устройства на плате вместо использования привычного Pin Planner воспользуемся атрибутами (Рис. 3.2.). Для проверки результата откроем Pin Planner, результат приведен на Рис. 3.8.

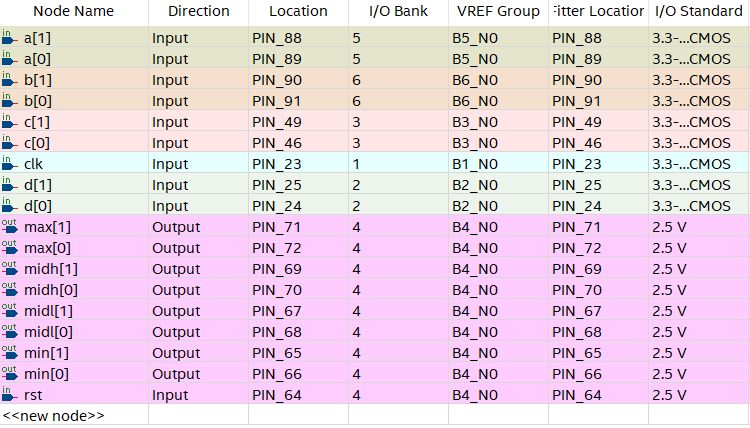


Рис. 3.8. Назначение выводов в приложении Pin Planner.

Для тестирования проекта на плате использовались тесты, описанные в [разделе 3.3](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Моделирование:_1)., ограниченные W=2.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Вывод

В ходе выполнения лабораторной работы lab6\_3 были получены навыки по использованию сторонних модулей, также были получены навыки задания значений в Pin Planner, используя атрибуты. Язык Verilog и использование сторонних модулей улучшает производительность и качество разработки, сильно ускоряя и упрощая разработку схемы, а также упрощает её отладку.

# Задание lab6\_4

## Задача

На языке Verilog, создать параметризированное устройство для сортировки четырех чисел с использованием модулей, описанных в [lab6\_1](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Задание_lab6_1:) и [lab6\_2](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Задание_lab6_2:), следуя принципам конвейеризации.

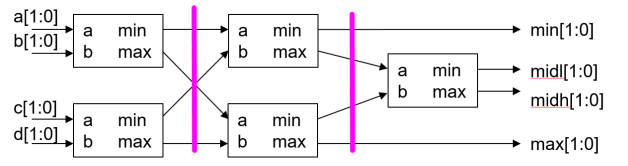


Рис. 4.1. Структура устройства

Параметры:

* W – разрядность входных данных (20 для моделирования, 2 для тестирования на ПЛИС).
* TYPE – тип min, max и какой лабы (для моего варианта lab6\_2).

*Входы данных:*

* clk – вход тактового сигнала.
* rst – синхронный сброс.
* [W-1:0] a – первый элемент списка.
* [W-1:0] b – второй элемент списка.
* [W-1:0] c – третий элемент списка.
* [W-1:0] d – четвертый элемент списка.

*Выходы:*

* [W-1:0] min – минимальный элемент списка.
* [W-1:0] midl – минимальный из средних элемент списка.
* [W-1:0] midh – максимальный из средних элемент списка.
* [W-1:0] max – максимальный элемент списка.

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 4.2., Рис. 4.3., Рис. 4.4.

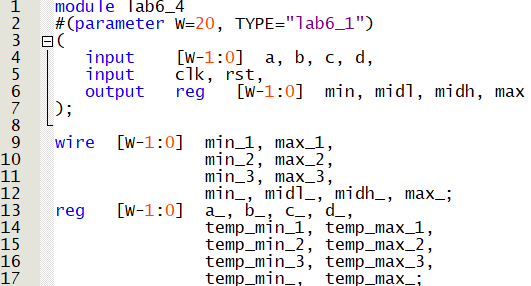


Рис. 4.2. Задание входных параметров и переменных на языке Verilog

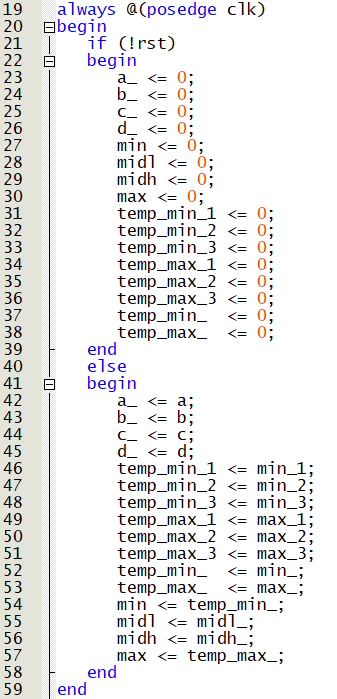


Рис. 4.3. Задание буферных регистров для входов и выходов на языке Verilog.

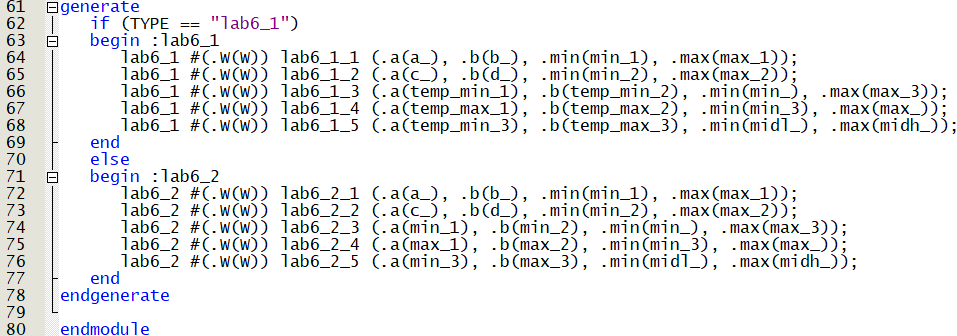


Рис. 4.4. Генератор и основная логика приложения на языке Verilog

После успешной компиляции воспользуемся приложением RTL Viewer, полученная схема приведена на Рис. 4.5. и Рис. 4.6.

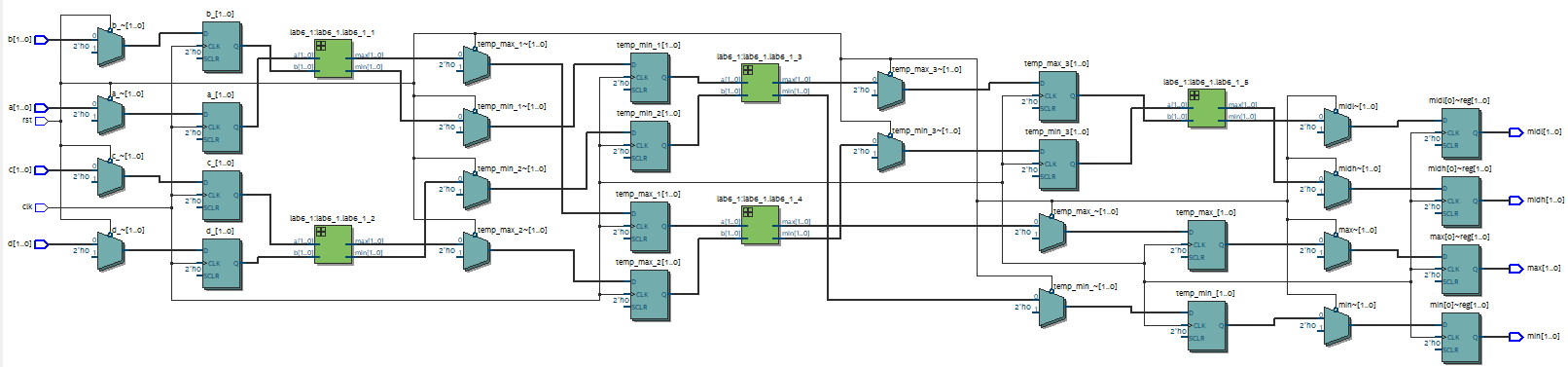


Рис. 4.5. Синтезированная схема, TYPE=lab6\_1.

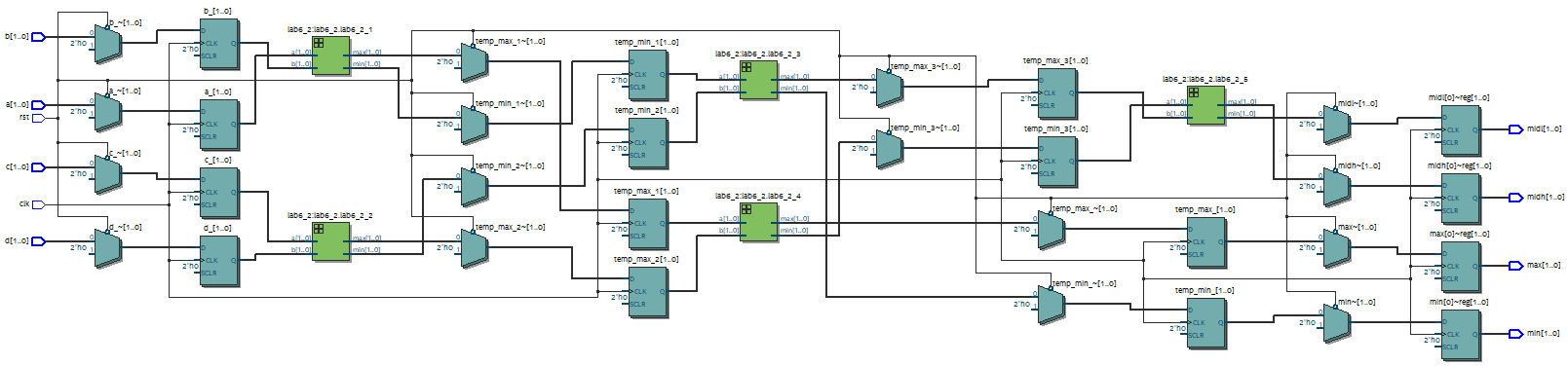


Рис. 4.6. Синтезированная схема, TYPE=lab6\_2.

По рисункам видно, что получилось конвейерное устройство, как и требовалось.

## Моделирование

Выполним моделирование устройства, разработанного в [пункте 4.2](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Решение:_3). c значением W в соответствии с вариантом (W = 20, TYPE=lab6\_2).

В результате функционального моделирования получены Waveform, приведенные на Рис. 4.7.

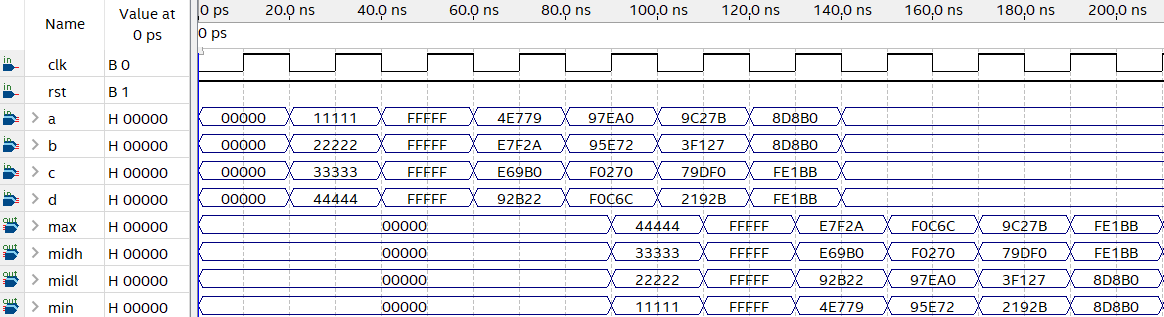


Рис. 4.7. Результат моделирования средствами QP

По рисунку, видно, что устройство работает корректно при минимальных значениях, максимальных и случайных, а также при частично одинаковых значениях, так же видно, что по сравнению с [пунктом 3](file:///C:\Users\Legion\Desktop\Polytech\Verilog\Lab6\Отчет%20по%20Verilog.%20Симоновский%20Д.Л.%20гр.%205130901_10101.docx#_Задание_lab6_3:) количество тактов для вычисления результата увеличилось.

На выходе получаются те значения, которые и ожидались.

## Сравнение быстродействия

Выполним сравнение устройств из пунктов 3 и 4, для этого зададим одинаковый параметр W и TYPE. TYPE возьмем из задания = «lab6\_2», а W возьмем такой, чтоб проект мог скомпилироваться на выбранной плате, например = 10.

Сравним аппаратные затраты и временные характеристики устройств (Рис. 4.8., Рис. 4.9., Рис. 4.10., Рис. 4.11.)

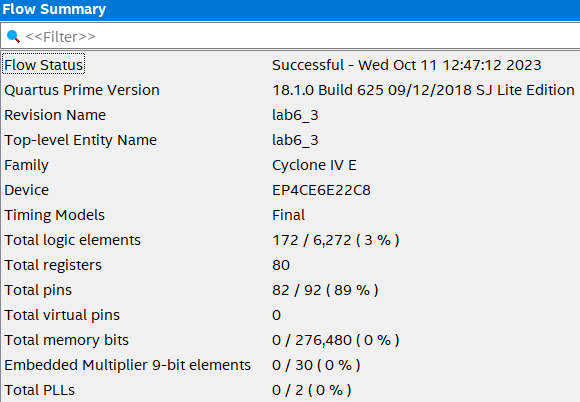


Рис. 4.8. Flow Summary для lab6\_3.

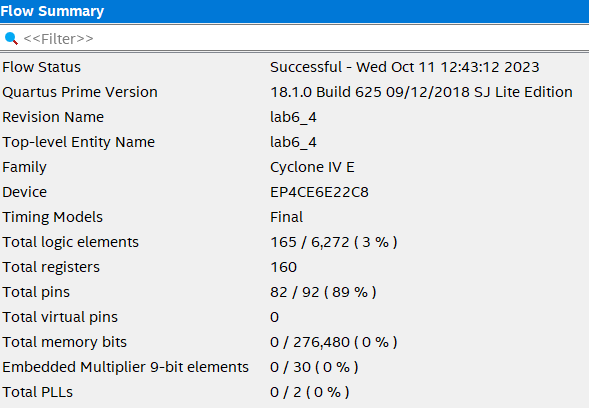


Рис. 4.9. Flow Summary для lab6\_4.

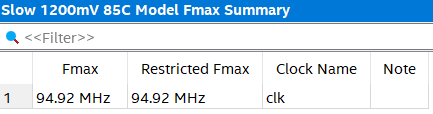


Рис. 4.10. Fmax для lab6\_3.

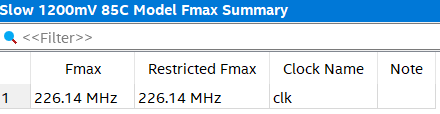


Рис. 4.11. Fmax для lab6\_4

Как мы видим в lab6\_4 число триггеров увеличилось в 2 раза, однако за счет этого мы выиграли в Fmax аж в 2.5 раза, что несомненно является сильным выигрышем.

Однако очевидно, что для lab6\_4 необходимо больше тактов для расчета, что мы и получили на Рис. 4.7. и Рис. 3.7.

## Вывод

В ходе выполнения лабораторной работы lab6\_4 были получены навыки по конвейеризации уже написанной схемы. В ходе работы видно, что System Verilog сильно упрощает модификацию и разработку приложений, а также их отладку и исправление.